

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 05 AUG 1998
WIPO PCT

Bescheinigung

Die Siemens Aktiengesellschaft in München/Deutschland hat
eine Patentanmeldung unter der Bezeichnung

"Integrierte Schaltungsanordnung und Verfahren
zu deren Herstellung"

am 18. Juli 1997 beim Deutschen Patentamt eingereicht.


Die angehefteten Stücke sind eine richtige und genaue
Wiedergabe der ursprünglichen Unterlagen dieser Patent-
anmeldung.

Die Anmeldung hat im Deutschen Patentamt vorläufig das Symbol
H 01 L 21/768 der Internationalen Patentklassifikation erhal-
ten.

München, den 5. Mai 1998

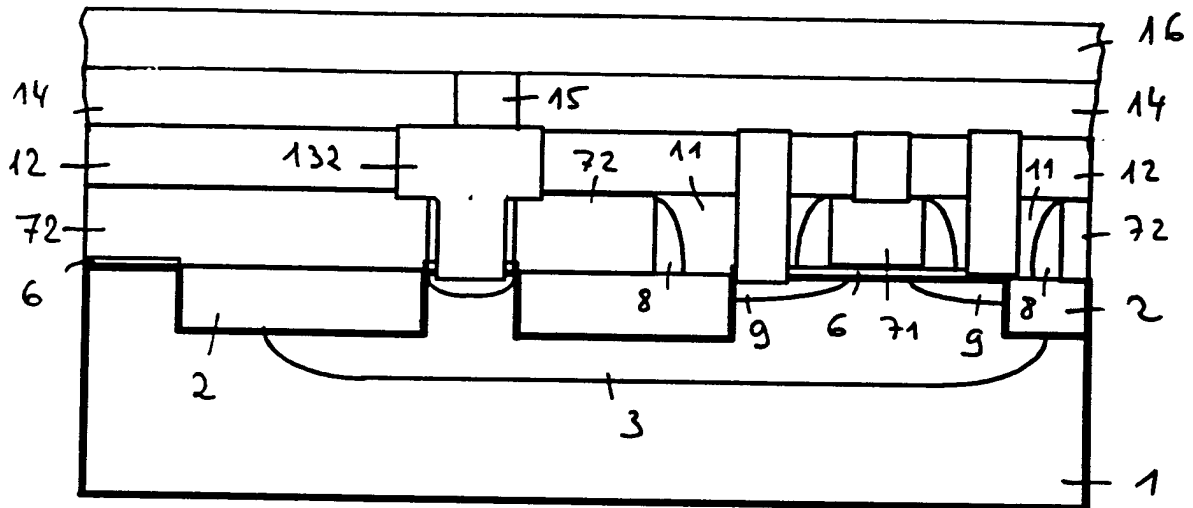
Der Präsident des Deutschen Patentamts

Im Auftrag

 Anzeichen: 197 30 974.7

Wehner

Fig 7



Beschreibung

Integrierte Schaltungsanordnung und Verfahren zu deren Herstellung.

5

Bei der Realisierung von integrierten Schaltungsanordnungen mit hoher Packungsdichte und insbesondere mit Strukturgrößen unter $0,25\ \mu\text{m}$ gewinnt die Frage der Planarität zunehmend an Bedeutung. Bei der Herstellung der integrierten Schaltungsanordnung werden auf einem Halbleitersubstrat Nutzstrukturen erzeugt, die eine schaltungstechnische Funktion in der Schaltungsanordnung haben. Derartige Nutzstrukturen sind zum Beispiel Anschlußelektroden, Gateelektroden oder Leitbahnen. Diese Nutzstrukturen sind jeweils in Ebenen durch Strukturierung einer zuvor erzeugten Schicht hergestellt. Zwischen aufeinanderfolgenden Ebenen sind Isolationsschichten vorgesehen. Diese Isolationsschichten werden durch Polieren und/oder Ätzen planarisiert.

20 Die erzielbare Planarität beim Planarisieren von Schichten hängt dabei von der geometrischen Dichte der Nutzstrukturen in der jeweiligen Ebene ab. Bei einer sehr ungleichmäßigen Belegung mit Nutzstrukturen ergeben sich lokal große Freiräume, in denen bei den Planarisierungsverfahren Unebenheiten auftreten. Daher ist vorgeschlagen worden (siehe zum Beispiel D. Widmann, H. Mader, H. Friedrich, Technologie hochintegrierter Schaltungen, 2. Auflage, Springer-Verlag, 1996, Seite 346 bis 347) zwischen den Nutzstrukturen Füllstrukturen einzufügen, die schaltungstechnisch ohne Funktion sind, die jedoch die lokale geometrische Dichte erhöhen. Dadurch wird eine gleichmäßige Belegung in der jeweiligen Ebene sichergestellt, die eine höhere Planarität nach Planarisierungsschritten ermöglicht.

35 Bestehen die Nutzstrukturen und die Füllstrukturen aus leitfähigem Material, so kann es im Betrieb zu einer Aufladung der Füllstrukturen kommen. Um diese zu vermeiden, werden die

Füllstrukturen auf ein festes Potential gelegt, wie bei Widmann et al gezeigt. Diese Kontaktierung erfolgt über eine spezielle Verdrahtung, die in einer über den Nutz- und Füllstrukturen angeordneten Metallisierungsebenen angeordnet ist.

5 Diese zusätzliche Verdrahtung und die Kontakte zwischen der zusätzlichen Verdrahtung und den Füllstrukturen erschwert die Erstellung des Layouts.

Der Erfindung liegt das Problem zugrunde, eine integrierte
10 Schaltungsanordnung anzugeben, die mit hoher Planarität herstellbar ist, bei der eine Aufladung elektrisch leitender Füllstrukturen vermieden wird und für die das Layout mit verringertem Aufwand erstellbar ist. Ferner soll ein Verfahren zur Herstellung einer solchen Schaltungsanordnung angegeben
15 werden.

Dieses Problem wird erfindungsgemäß gelöst durch eine integrierte Schaltungsanordnung gemäß Anspruch 1 sowie durch ein Verfahren zu deren Herstellung gemäß Anspruch 8. Weitere Aus-
20 gestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der integrierten Schaltungsanordnung ist in einem Halbleitersubstrat ein dotiertes Gebiet vorgesehen. An der Oberflä-
25 che des Halbleitersubstrats ist eine Ebene mit leitenden Nutzstrukturen und mindestens einer leitenden Füllstruktur angeordnet. Die leitenden Nutzstrukturen sind zum Beispiel Anschlußelektroden, Gateelektroden, Leiterbahnstücke, Verdrahtungen oder ähnliches. Die leitende Füllstruktur ist mit
30 dem dotierten Gebiet leitend verbunden. Als dotiertes Gebiet ist zum Beispiel der Substratkörper selbst oder eine dotierte Wanne, in der aktive Bauelemente angeordnet sind, geeignet. Der Substratkörper und/oder die dotierte Wanne, in denen Bauelemente angeordnet sind, werden in integrierten Schaltungs-
35 anordnungen ohnehin beim Betrieb mit einer festen Versorgungsspannung beaufschlagt. Die Verbindung mit der leitenden Füllstruktur stellt sicher, daß auch die leitende Füllstruk-

- tur auf diesem Potential liegt. Da die dotierte Wanne oder der Substratkörper ohnehin mit festem Potential verbunden sind, kann somit in der erfindungsgemäßen integrierten Schaltungsanordnung die zusätzliche Verdrahtung, die nur zu dem
- 5 Zweck des Anschlusses der Füllstrukturen vorgesehen wird, entfallen. Damit vereinfacht sich das Layout. Es kann insbesondere durch automatische Layoutgenerierung erstellt werden. Die Lage der Füllstruktur ist programmgesteuert bestimmbar.
- 10 Vorzugsweise erfolgt die elektrische Verbindung der leitenden Füllstruktur mit dem dotierten Gebiet über ein Kontaktloch und einen Kontakt. Das Kontaktloch überlappt die leitende Füllstruktur und das dotierte Gebiet, so daß die Oberfläche der leitenden Füllstruktur und des dotierten Gebietes mit dem
- 15 Kontakt in Verbindung stehen. Das Kontaktloch und der Kontakt werden vorzugsweise gleichzeitig mit Kontaktlöchern und Kontakten zu leitenden Nutzstrukturen hergestellt. Es sind daher keine zusätzlichen Prozeßschritte dafür erforderlich.
- 20 Da nur sehr geringe Ströme (Aufladungen, kapazitive Verschiebestrome etc.) abgeführt werden müssen, ist ein überlappender Kontakt nicht zwingend notwendig. Im Prinzip genügt auch schon die Seitenwandkontaktfläche. Auch andere, hochohmige Ableitungen über Bauelemente sind hierzu geeignet.

Zur Verbindung zwischen der leitenden Füllstruktur und dem dotierten Gebiet über ein Bauelement sind als Bauelemente zum Beispiel ein MOS-Transistor (vollständig oder teilweise eingeschaltet), zwei gegenpolig geschaltete Dioden oder ähnliches

30 geeignet. Sie werden beispielsweise dadurch realisiert, daß die Füllstruktur über das Isolationsgebiet hinausgeführt wird und mittels Kontakt mit der Nutzstruktur, zum Beispiel einer Junction, verbunden wird.

- 35 Es liegt im Rahmen der Erfindung, oberhalb der Ebene, in der die leitende Füllstruktur angeordnet ist, eine Metallisierungsebene anzuordnen und die leitende Füllstruktur über ei-

nen weiteren Kontakt mit der Metallisierungsebene zu verbinden. Diese Anordnung ist vorteilhaft, wenn die Metallisierungsebene, mit der die Füllstruktur über den weiteren Kontakt verbunden ist, im Betrieb auf demselben Potential wie das dotierte Gebiet liegt. Der Kontakt und der weitere Kontakt bilden in diesem Fall einen zusätzlichen integrierten Kontakt für das dotierte Gebiet.

Die Ebene, in der die leitende Füllstruktur angeordnet ist, kann sowohl eine Gateebene sein, die in der Nähe der Oberfläche des Halbleitersubstrats angeordnet ist, als auch eine Metallisierungsebene, die oberhalb der Gateebene und/oder weiterer Metallisierungsebenen angeordnet ist.

Zur Herstellung der integrierten Schaltungsanordnung wird in dem Halbleitersubstrat ein dotiertes Gebiet gebildet. Auf dem Halbleitersubstrat wird durch Aufbringen und Strukturieren einer leitfähigen Schicht die Ebene mit leitenden Nutzstrukturen und mindestens einer leitenden Füllstruktur gebildet. Es wird eine Isolationsstruktur erzeugt, die die leitenden Nutzstrukturen und die leitende Füllstruktur umgibt und bedeckt. Da die leitenden Nutzstrukturen und die leitende Füllstruktur aus der leitfähigen Schicht gebildet werden, weisen sie im wesentlichen die gleiche Höhe auf. Vorzugsweise wird die Verbindung zwischen dem dotierten Gebiet und der leitenden Füllstruktur durch Öffnen eines Kontaktloches, das die leitende Füllstruktur und das dotierte Gebiet überlappt, und Bildung eines Kontaktes erzeugt.

Es liegt im Rahmen der Erfindung, als Halbleitersubstrat eine monokristalline Siliziumscheibe, die monokristalline Siliziumschicht eines SOI-Substrates mit einer Trägerscheibe, einer isolierenden Schicht und einer monokristallinen Siliziumschicht oder ein Substrat, das SiC enthält, zu verwenden.

Die Verbindung der leitenden Füllstruktur mit dem dotierten Gebiet kann alternativ über eine lokale Verdrahtungsebene

vorgenommen werden. Als lokale Verdrahtungsebene wird eine in der lateralen Umgebung wirksame, elektrisch leitende Verbindung bezeichnet. Lokale Verdrahtungsebenen werden zum Beispiel aus TiSi_2 in Form von streifenförmigen Leitern, sogenannten TiSi_2 -Strap, gebildet.

Für den Fall, daß die Ebene, in der die leitende Füllstruktur angeordnet ist, die Gateebene ist, enthalten die leitenden Nutzstrukturen Gateelektroden. Die Gateelektroden können sowohl durch Strukturierung einer leitfähigen Schicht, aus der dann auch die leitende Füllstruktur gebildet wird, als auch durch Strukturierung mehrerer Teilschichten gebildet werden.

Es liegt im Rahmen der Erfindung, daß derjenige Teil des dotierten Gebietes, der von dem Kontaktloch zur Verbindung mit der leitenden Füllstruktur überlappt wird, von Teilen des dotierten Gebietes, in denen aktive Elemente der Schaltungsanordnung angeordnet sind, durch eine Isolationsstruktur, zum Beispiel einen mit isolierendem Material gefüllten Graben, getrennt sind. Das dotierte Gebiet reicht in diesem Fall tiefer in das Substrat hinein als die Isolationsstruktur. Dadurch werden Kurzschlüsse zwischen aktiven Elementen und dem Kontakt vermieden.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, näher erläutert.

Figur 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit Isolationsbereichen und einer dotierten Wanne.

30

Figur 2 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung eines Gateoxids und Abscheidung einer leitfähigen Schicht.

35 Figur 3 zeigt den Schnitt durch das Halbleitersubstrat nach Strukturierung der leitfähigen Schicht zur Bildung von leitenden Nutzstrukturen und leitenden Füllstruk-

turen und nach Bildung von Source-/Drain-Gebieten und einem Wannenkontakt.

Figur 4 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer planarisierenden Isolationsschicht.

Figur 5 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer Zwischenoxidschicht.

Figur 6 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung von Kontaktlöchern und Kontakten.

Figur 7 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer Metallisierungsebene und einem weiteren Kontakt zwischen der leitenden Füllstruktur und der Metallisierungsebene.

Die Darstellungen in den Figuren sind nicht maßstäblich.

In der Oberfläche eines Substrats 1 aus monokristallinem Silizium werden durch Ätzen von Gräben und Auffüllen der Gräben mit isolierendem Material Isolationsgräben 2 gebildet (siehe Figur 1). Das Auffüllen der Isolationsgräben 2 erfolgt durch planarisierende Schritte, zum Beispiel durch chemisch-mechanisches Polieren. Anschließend wird unter Verwendung photolithographischer Prozeßschritte eine maskierte Ionenimplantation durchgeführt zur Bildung einer p-dotierten Wanne 3. Die dotierte Wanne 3 ist zum Beispiel mit Bor und einer Dotierstoffkonzentration von 5×10^{17} at/cm³ dotiert.

Die dotierte Wanne 3 weist eine größere Tiefe als die Isolationsgräben 2 auf. Die dotierte Wanne 3 wird seitlich von einem der Isolationsgräben 2 umgeben. Ein weiterer Isolationsgraben 2 ist innerhalb der dotierten Wanne 3 so angeordnet, daß die dotierte Wanne 3 in einem aktiven Gebiet 4 und in einem Anschlußgebiet 5 an die Oberfläche des Substrats 1 an-

grenzt. Das aktive Gebiet 4 ist zur Aufnahme aktiver Elemente vorgesehen.

Die Tiefe der dotierten Wanne 3 beträgt zum Beispiel 1 μm .

5 Die Tiefe der Isolationsgräben 2 beträgt zum Beispiel 400 nm.

Anschließend wird zum Beispiel durch thermische Oxidation ein Gateoxid 6 gebildet (siehe Figur 2). Das Gateoxid 6 wird zum Beispiel in einer Schichtdicke von 6 nm gebildet. Anschließend wird eine leitfähige Schicht 7 abgeschieden. Für die leitfähige Schicht 7 ist jedes Material geeignet, das zur Bildung von Gateelektroden geeignet ist, insbesondere dotiertes Polysilizium, Metallsilizid, TiN. Die leitfähige Schicht 7 wird in einer Schichtdicke von zum Beispiel 200 nm gebil-

10
15 det.

Unter Verwendung photolithographischer Prozeßschritte wird die leitfähige Schicht 7 so strukturiert, daß daraus leitfähige Nutzstrukturen 71 und leitende Füllstrukturen 72 gebil-

20 det werden (siehe Figur 3). Die leitenden Nutzstrukturen 71 sind zum Beispiel Gateelektroden. Die leitenden Füllstrukturen 72 sind schaltungstechnisch ohne Funktion. Sie werden so angeordnet, daß eine gleichmäßige geometrische Belegung durch die leitenden Nutzstrukturen und die leitenden Füllstrukturen gegeben ist.

Durch konforme Abscheidung und anisotropes Rückätzen einer SiO_2 -Schicht werden an den Flanken der leitenden Nutzstruktur 71 und der leitenden Füllstruktur 72 SiO_2 -Spacer 8 gebildet.

30

Durch maskierte Ionenimplantation, bei der die Oberfläche des aktiven Gebietes 4 freiliegt, die Oberfläche des Anschlußgebietes 5 jedoch abgedeckt ist, werden Source-/Drain-Gebiete 9 selbstjustiert zu der leitenden Nutzstruktur 71 gebildet. Die

35 Source-/Drain-Gebiete 9 sind zum Beispiel mit Arsen oder Phosphor dotiert und weisen eine Dotierstoffkonzentration von $8 \times 10^{19} \text{ at/cm}^3$ auf.

Anschließend wird unter Verwendung einer weiteren Maske, die das aktive Gebiet 4 abdeckt, das Anschlußgebiet 5 jedoch unbedeckt läßt, ein Wannenkontakt 10 gebildet. Der Wannenkontakt 10 wird zum Beispiel mit Bor dotiert und weist eine Dotierstoffkonzentration von $6 \times 10^{19} \text{ at/cm}^3$ auf.

Anschließend wird eine planarisierende Isolationsschicht 11 gebildet, die durch chemisch-mechanisches Polieren soweit zurückgeschliffen wird, daß sie in der Höhe mit der leitenden Nutzstruktur 71 und den leitenden Füllstrukturen 72 abschließt (siehe Figur 4). Beim Planarisieren der planarisierenden Isolationsschicht 11 wirken die leitende Nutzstruktur 71 und die leitenden Füllstrukturen 72 als Planarisierungsstützstellen.

Anschließend wird eine erste Zwischenoxidschicht 12 abgeschieden. Mit Hilfe photolithographischer Prozeßschritte und anisotropem Trockenätzen werden Kontaktlöcher zu den Source-/Drain-Gebieten 9, zu der leitenden Nutzstruktur 71 und zu dem Wannenkontakt 10 und den benachbarten leitenden Füllstrukturen 72 geätzt (siehe Figur 6). Durch Auffüllen der Kontaktlöcher mit Metall, zum Beispiel Wolfram, werden Kontakte 131 zu den Source-/Drain-Gebieten 9 und der leitenden Nutzstruktur 71 und ein überlappender Kontakt 132 zu dem Wannenkontakt 10 und den benachbarten leitenden Füllstrukturen 72 gebildet (siehe Figur 6). Der überlappende Kontakt 132 steht sowohl mit der Oberfläche der benachbarten leitenden Füllstrukturen 72 als auch mit der Oberfläche des Wannenkontaktes in Verbindung. Dadurch werden die Füllstrukturen 72 über den Wannenkontakt 10 mit der dotierten Wanne 3 verbunden.

Alternativ wird der überlappende Kontakt 132 so angeordnet, daß er auf die Oberfläche des Substrats 1 trifft. In diesem Fall wird ein Substratkontakt an der Oberfläche des Substrats

1 durch Implantation mit Dotierstoff, das denselben Leitfähigkeitstyp wie das Substrat aufweist bewirkt, gebildet.

5 Nachfolgend wird eine zweite Zwischenoxidschicht 14 abgeschieden, in der ein weiteres Kontaktloch, das auf den überlappenden Kontakt 132 trifft, geöffnet wird. Das weitere Kontaktloch wird mit einem weiteren Kontakt 15 zum Beispiel aus Wolfram aufgefüllt. Schließlich wird eine Metallisierungsebene 16 gebildet, die mit dem weiteren Kontakt 15 in Verbindung
10 steht (siehe Figur 7). Die Metallisierungsebene 16 wird im Betrieb der Schaltungsanordnung auf das gleiche Potential wie die dotierte Wanne 3 gelegt.

Patentansprüche

1. Integrierte Schaltungsanordnung,

- 5 - bei der in einem Halbleitersubstrat (1) mindestens ein dotiertes Gebiet (3) vorgesehen ist,
- bei der an der Oberfläche des Halbleitersubstrats (1) eine Ebene mit leitenden Nutzstrukturen (71) und mindestens einer leitenden Füllstruktur (72) angeordnet ist,
- 10 - bei der die leitende Füllstruktur (72) mit dem dotierten Gebiet (3) leitend verbunden ist.

- 15 2. Schaltungsanordnung nach Anspruch 1,
bei der die leitenden Nutzstrukturen (71) und die leitende Füllstruktur (72) im wesentlichen die gleiche Höhe aufweisen und von einer planarisierenden Isolationsschicht (11, 12) umgeben sind.

- 20 3. Schaltungsanordnung nach Anspruch 1 oder 2,
bei der die leitende Füllstruktur (72) über ein Kontaktloch und einen Kontakt (132) mit dem dotierten Gebiet verbunden ist.

- 25 4. Schaltungsanordnung nach Anspruch 3,
bei der das Kontaktloch die leitende Füllstruktur (72) und das dotierte Gebiet (3) überlappt, so daß die Oberfläche der leitenden Füllstruktur (72) und des dotierten Gebietes (3)
- 30 mit dem Kontakt (132) in Verbindung stehen.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,
bei der die leitenden Nutzstrukturen (71) Gateelektroden sind und bei dem die leitende Füllstruktur (72) das Material der
- 35 Gateelektrode enthält.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,

bei der das dotierte Gebiet (3) eine dotierte Wanne oder das Halbleitersubstrat ist.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6,

5

- bei dem oberhalb der Ebene, in der die leitende Füllstruktur (72) angeordnet ist, eine Metallisierungsebene (16) angeordnet ist,

10 - bei dem die leitende Füllstruktur (72) über einen weiteren Kontakt (15) mit der Metallisierungsebene (16) verbunden ist.

15 8. Verfahren zur Herstellung einer integrierten Schaltungsanordnung,

- bei dem in einem Halbleitersubstrat (1) ein dotiertes Gebiet (3) gebildet wird,

20 - bei dem auf dem Halbleitersubstrat (1) durch Aufbringen und Strukturieren einer leitfähigen Schicht (7) eine Ebene mit leitenden Nutzstrukturen (71) und mindestens einer leitenden Füllstruktur (72) gebildet wird,

- bei dem eine Isolationsschicht (11, 12) erzeugt wird, die die leitenden Nutzstrukturen (71) und die leitende Füllstruktur (72) umgibt und bedeckt,

30 - bei dem eine leitende Verbindung zwischen der leitenden Füllstruktur (72) und dem dotierten Gebiet (3) erzeugt wird.

9. Verfahren nach Anspruch 8,

35 - bei dem in der Isolationsschicht (11, 12) ein Kontaktloch geöffnet wird, das die leitende Füllstruktur (72) und das dotierte Gebiet (3) jeweils teilweise überlappt, so daß die

Oberfläche des dotierten Gebietes (3) und der leitenden Füllstruktur (72) teilweise freigelegt wird,

- 5 - bei dem in dem Kontaktloch ein Kontakt (132) gebildet wird, der mit der Oberfläche der leitenden Füllstruktur (72) und des dotierten Gebietes (3) in Verbindung steht.

10. Verfahren nach Anspruch 8 oder 9,

- 10 - bei dem oberhalb der Ebene, in der die leitende Füllstruktur (72) angeordnet ist, eine Metallisierungsebene (16) erzeugt wird,
- 15 - bei dem ein weiterer Kontakt (15) erzeugt wird, über den die leitende Füllstruktur mit der Metallisierungsebene (16) verbunden wird.

Zusammenfassung

Integrierte Schaltungsanordnung und Verfahren zu deren Herstellung.

5

In einem Substrat (1) ist ein dotiertes Gebiet (3) vorgesehen. An der Oberfläche des Substrat (1) ist eine Ebene mit leitenden Nutzstrukturen (71) und einer leitenden Füllstruktur (72) angeordnet. Die leitende Füllstruktur (72) ist mit dem dotierten Gebiet (10, 3) leitend verbunden. Auf diese Weise wird eine Aufladung der leitenden Füllstruktur (72), die zur Verbesserung der Planarität der Schaltungsanordnung vorgesehen und keine schaltungstechnische Funktion hat, vermieden.

10

15 Figur 6

Fig 1

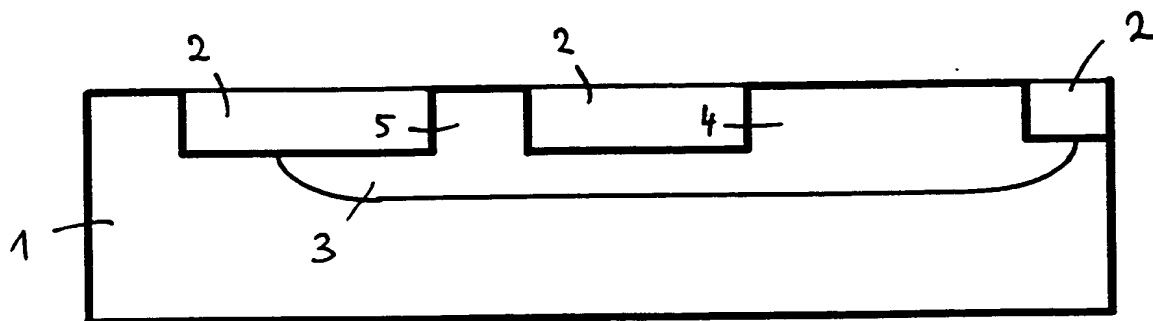
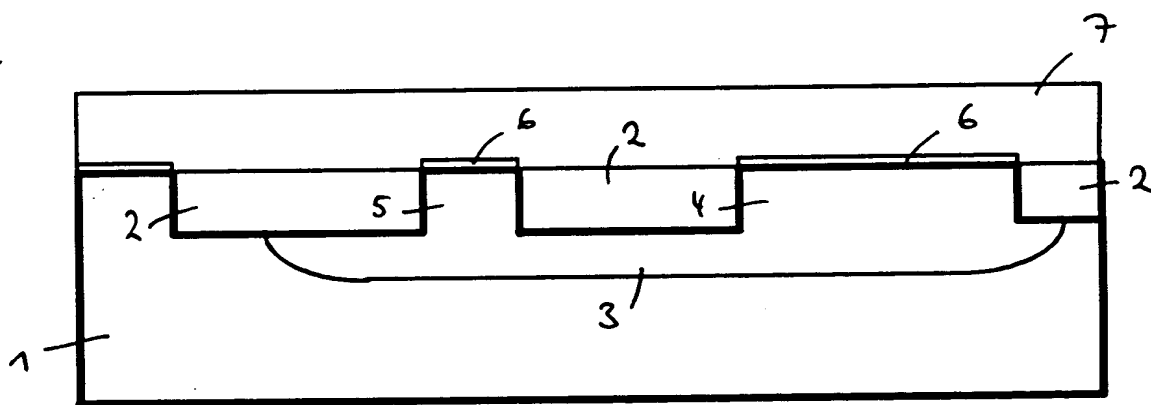


Fig 2



A cross-sectional view of a multi-layered structure. The structure consists of several layers and components labeled with numbers: 1 (bottom layer), 2 (middle layer), 3 (bottom-most layer), 4 (bottom-most layer), 5 (bottom-most layer), 6 (top layer), 7 (top layer), 8 (top layer), 9 (top layer), 10 (top layer), 11 (top layer), 12 (top layer), 13 (top layer), 14 (top layer), 15 (top layer), 16 (top layer), 17 (top layer), 18 (top layer), 19 (top layer), 20 (top layer), 21 (top layer), 22 (top layer), 23 (top layer), 24 (top layer), 25 (top layer), 26 (top layer), 27 (top layer), 28 (top layer), 29 (top layer), 30 (top layer), 31 (top layer), 32 (top layer), 33 (top layer), 34 (top layer), 35 (top layer), 36 (top layer), 37 (top layer), 38 (top layer), 39 (top layer), 40 (top layer), 41 (top layer), 42 (top layer), 43 (top layer), 44 (top layer), 45 (top layer), 46 (top layer), 47 (top layer), 48 (top layer), 49 (top layer), 50 (top layer), 51 (top layer), 52 (top layer), 53 (top layer), 54 (top layer), 55 (top layer), 56 (top layer), 57 (top layer), 58 (top layer), 59 (top layer), 60 (top layer), 61 (top layer), 62 (top layer), 63 (top layer), 64 (top layer), 65 (top layer), 66 (top layer), 67 (top layer), 68 (top layer), 69 (top layer), 70 (top layer), 71 (top layer), 72 (top layer), 73 (top layer), 74 (top layer), 75 (top layer), 76 (top layer), 77 (top layer), 78 (top layer), 79 (top layer), 80 (top layer), 81 (top layer), 82 (top layer), 83 (top layer), 84 (top layer), 85 (top layer), 86 (top layer), 87 (top layer), 88 (top layer), 89 (top layer), 90 (top layer), 91 (top layer), 92 (top layer), 93 (top layer), 94 (top layer), 95 (top layer), 96 (top layer), 97 (top layer), 98 (top layer), 99 (top layer), 100 (top layer).

Fig 5

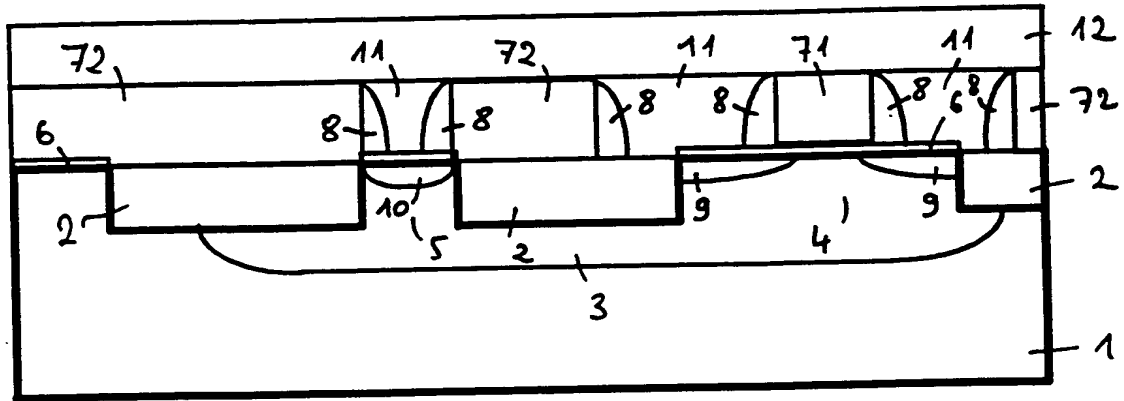


Fig 6

